

**Japanese Patent Gazette**

**No. 2650479/1997**

A. Relevance of the above-identified Document

This document has relevance to all claims of the present application.

B. Translation of the Relevant Passages of the Document

[MEANS TO SOLVE THE PROBLEMS]

Moreover, a method of driving a liquid crystal panel, of the present invention includes the steps of: (i) calculating (a) first signal data corresponding to a voltage value that is to be applied on liquid crystal, and (b) the first signal data and second signal data corresponding to a voltage that is to be applied on liquid crystal after the first signal data; and (ii) compensating, in accordance with a result of the calculating, signal data that is to be applied to the liquid crystal sequentially in a plurality of fields that are after the first signal data.





5 素には液晶を所定の透過量にする電圧が印加され保持される。前記電圧は次の回期で全TFTが再びオン状態となるまで保持される。この透過量の変化により各画面を透過あるいは反射する光が変動される。なお、すべての画面に電圧が印加され再び次の電圧が印加されるまでの周期を1フレームと呼ぶ。また1フレームは2フィールドで構成される。通常、テレビ画像の場合1/30秒で一面が書きかわるため1/30秒が1フレーム時間である。また倍速で各画面に電圧を書き込む場合は1/60秒が1フレーム時間となる。

本明細書では倍速で各画面に電圧を書き込む駆動方法を図にあげて説明する。つまり1フレームを1/60秒とし、1フィールド＝1フレームとして説明する。

以下、従来の液晶制御回路について説明する。第22図は従来の液晶制御回路のブロック図である。第22図において、2201はビデオ信号を増幅するアンプ、2202は正極性と負極性のビデオ信号を作る位相分割回路、2203はフィールドごとに極性が反転した交流ビデオ信号を出力する出力切り換え回路、2204はソースドライバIC2012およびゲートドライバIC103の同期および制御を行なうためのドライバ制御回路、2101は液晶パネルである。

以下、従来の液晶制御回路の動作について説明する。まずビデオ信号は、アンプ2201によりビデオ出力増幅が液晶の電気光学特性に対応するように利得増強が行われる。次に、利得調整されビデオ信号は位相分割回路2202において、前記回路により正極性と負極性の2つのビデオ信号が作られる。次に前記2つのビデオ信号は出力切り換え回路2203にはいり、前記回路はフィールドごとに極性を反転したビデオ信号を出力する。このようにフィールドごとに極性を反転させるのは、液晶の交流電圧が印加されるようにし、液晶の劣化を防止するためである。次に出力切り換え回路2203からのビデオ信号はソースドライバIC1021に入力され、ソースドライバIC1021はドライバ制御回路2204からの制御信号により、ビデオ信号のレベルシフト、A/D変換などの処理を行ない、ゲートドライバIC2103と同様に取って、液晶パネル2101のソース信号線に所定電圧を印加する。

以下、従来の液晶パネルの駆動方法の説明図である。第23図は従来の液晶パネルの駆動方法の説明図である。第23図において、fx（ただし、xは整数）はフィールド番号、Dx（ただし、xは整数）はソース信号線に印加する電圧に相当するデータ（以後、電圧データと呼ぶ）、Vx（ただし、xは整数）は前記電圧データにより作られ、ソースドライバIC2102からソース信号線に出力される電圧、Tx（ただし、xは整数）は画面に前記電圧が印加されることにより液晶の透過率が変化し、前記電圧に対応した状態になったときの光の透過量である。本明細書では説明を容易にするために添字xが大きいフィールドは先のフィールドであることを示し、また電圧データDxは値が大きいことを、印加電圧Vxは電圧が高

いことを、透過量Txは透過量が大きいことを、つまり液晶の透過率が大きいことを示すものとする。ただし液晶への印加電圧と透過量との関係は非線形特性を示すための透過率Txの添字の大きさと実際の透過量とは比例しない。なお、第23図では印加電圧Vxは、理解を容易にするために絶対値であらわしたが、液晶は交流駆動するためがあるため、第23図で示すように1フィールドごとにコモン電圧を中心に正および負極性の電圧を印加している。以上のことは注目した図面に対して同様である。以下、1つの画面に注目して説明する。

ソースドライバIC2102は、入力されるアナログ信号をサンプリホールドして電圧データDxを作成する。また、前記ICは前記電圧データDxを一定時間保持して、ゲートドライバIC2103と同期をとリソース信号線に印加する電圧Txを出力する。今、フィールドで注目している画面（以後、単に画面と呼ぶ）への電圧データがDyからDgに変化したとする。するとソースドライバIC2102は電圧Vgを出力したとする。するとソースドライバIC2102は電圧Vgをソース信号線に出力し、前記電圧はゲートドライバIC2103と同期がとられ画面に入力される。しかしながら、フィールドDgでは、前記電圧Vgが印加されても前記電圧Vgに相当する所望量の透過量Vgにならず、通常3〜4フィールド以上遅れて所望量のVgになる。これは液晶の立ち上がり速度つまり電圧を印加してから所望量の透過量になるまでの応答時間が遅いためである。なお、本明細書では、液晶の立ち上がりとは液晶の場合、液晶に電圧が印加され液晶分子のネジレがほどけた状態になることを、逆に液晶の立ち上がりとはネジレがもともとどる状態となることを言う。この液晶のネジレの状態が光の透過量に關係し、本明細書では印加電圧が高くなるほど液晶のネジレがほどけ透過率が高くなるものとする。以上のように従来の液晶パネルの駆動方法ではビデオ信号の真値信号に相当する印加電圧Txをそのまま画面に印加していた。

発明が解決しようとする課題  
しかしながら、従来の液晶制御回路およびその駆動方法では、液晶の立ち上がり速度が遅い、つまり電圧を印加してから所定の透過量になる時間がか3〜4フィールド以上要するため画像のぼけがあらわれる。この画像のぼけとは画面に印加している電圧に対して液晶の透過率の変化が追いつかないために表示画像が変化した際、映像の縁部分などに、前フィールドの画像がぼけのように表示として現われる現象をいう。この現象は一定以上の速さで映像の動きがあるとき出現し、画像品位を著しく悪化させる。  
本発明は、以上の課題を解決するためになされたもので、大画面、高解像度の画像表示に於いてできる液晶制御回路および液晶パネルの駆動方法を提供するための課題を解決するための手段  
上記課題を解決するため、本発明の液晶制御回路は、

液晶に印加する電圧値に相当する第1の信号データを記憶する記憶手段と、前記第1の信号データと、前記第1の信号データ以後に前記液晶に印加する電圧値に相当する第2の信号データを演算する演算手段と、前記演算手段の演算結果により、前記第1の信号データ以後の複数のフィールドにおいて、連続して前記液晶に印加する信号データを補正する補正手段を具備するものであり、  
また、他の本発明の液晶制御回路は、液晶に印加する電圧値に相当する第1の信号データを記憶する第1の記憶手段と、前記第1の信号データと、前記第1の信号データ以後に前記液晶に印加する電圧値に相当する第2の信号データを演算する演算手段と、前記演算手段の演算結果により、前記第2の信号データと第2の信号データ以後に液晶に印加する電圧値に相当する第3の信号データのうち少なくとも一方を補正する補正手段と、前記信号データを第1の閾値または第2の閾値で補正したこと

を記憶する第2の記憶手段とを具備し、前記第1の閾値は第1の信号データと第2の信号データの演算結果により得られた補正される値であり、前記第2の閾値は複数のフィールドにわたリ同フィールドの信号データを前記演算手段が処理した結果において、複数回所定値をこえたとき補正される値であることを特徴とするものである。  
また、本発明の液晶パネルの駆動方法は、液晶に印加する電圧値に相当する第1の信号データと、前記第1の信号データと、前記第1の信号データ以後に前記液晶に印加する電圧値に相当する第2の信号データとを演算し、前記演算結果により、前記第1の信号データ以後の複数のフィールドにおいて、連続して前記液晶に印加する信号データを補正することを特徴とするものであり、  
また、他の本発明の液晶パネルの駆動方法は、第1のフィールドで任意の画面に印加する絶対値V1と前記第1のフィールド以後の画面に印加する絶対値V2とを比較し、演算する補正器を有し、前後2フィールドの液晶に印加する電圧値を变化させて、液晶の立ち上がりおよび立ち下がり時間を改善すると、画像の表示状態を急激に制御することになる場合があり、きこない画像表示になる場合がある。そこで他の本発明の液晶パネルの駆動方法では、数フィールドにわたリ印加電圧値を考慮し積分的な効果をもたして液晶の印加電圧を補正する。この補正を実現するために本発明の液晶制御回路は、数フィールドにわたリ画面に印加する印加電圧と比較し、演算する補正器を有し、また前記補正器は画面の印加電圧の補正を行なう際、前記画面の近傍の画面に印加する電圧値も考慮して補正を行なう機能を有している。

実施例  
以下、図面を参照しながら第1の本発明の液晶制御回路および第1および第2の液晶パネルの駆動方法について説明する。まず、本発明の液晶制御回路の一実施例に係る場合において、Rを所望応答時間としたとき、

1 / V<sub>3</sub><sup>2</sup>

Rを  
の関数として第3の電圧の絶対値V<sub>3</sub>を求めながら、または、V<sub>3</sub>を求めておき、前記第2のフィールドまたは第2のフィールド以後のフィールドで前記任意の画面に前記V<sub>3</sub>を印加することを特徴とするものである。

作用  
液晶の立ち上がり時間の応答時間は第5図に示すように印加電圧の2乗にはほぼ反比例するという特性がある。

そこで、本発明の液晶パネルの駆動方法では、第1のフィールドで任意の画面に印加する第1の電圧の絶対値V<sub>1</sub>と前記第1のフィールド以後の第2のフィールドで前記画面に印加する第2の電圧の絶対値V<sub>2</sub>にV<sub>1</sub><V<sub>2</sub>なる関係がある場合、所望応答時間Rを

1 / V<sub>3</sub><sup>2</sup>

の関数として第3の電圧の絶対値V<sub>3</sub>を求め、第2のフィールドまたは第2のフィールド以後のフィールドで前記任意の画面に前記V<sub>3</sub>を印加する。

前述の液晶パネルの駆動方法では、絶対値の大きい電圧を印加することにより液晶の立ち上がり時間を改善する。しかし、前記電圧を用いて動きの早い画像では画像のぼけが発生する。そこで、さらに液晶の応答時間を改善するため、第1のフィールドで絶対値のかなり大きな電圧を液晶に印加し、急遽に液晶を立ち上げさせたのち、直後の第2のフィールドで低い絶対値の電圧を印加して立ち下がりさせる。このように、2フィールドにわたリ画面に印加する電圧を制御し、2フィールドで平均的に液晶の目標透過率を得る。

この駆動方法を實現するために、本発明の液晶制御回路は、連続したフィールドでの画面に印加する電圧値を比較し、演算する補正器を有している。前後2フィールドの液晶に印加する電圧値を变化させて、液晶の立ち上がりおよび立ち下がり時間を改善すると、画像の表示状態を急激に制御することになる場合があり、きこない画像表示になる場合がある。そこで他の本発明の液晶パネルの駆動方法では、数フィールドにわたリ印加電圧値を考慮し積分的な効果をもたして液晶の印加電圧を補正する。この補正を実現するために本発明の液晶制御回路は、数フィールドにわたリ画面に印加する印加電圧と比較し、演算する補正器を有し、また前記補正器は画面の印加電圧の補正を行なう際、前記画面の近傍の画面に印加する電圧値も考慮して補正を行なう機能を有している。

実施例  
以下、図面を参照しながら第1の本発明の液晶制御回路および第1および第2の液晶パネルの駆動方法について説明する。まず、本発明の液晶制御回路の一実施例に係る場合において、Rを所望応答時間としたとき、









21

より、第19図の補正電圧データの横で示すように、フイールド番号 $F_1$ のデータが $0_1$ から $0_9$ に補正する。つまり、フイールド番号 $F_1$ から $F_9$ で透過率の差が第2閾値を越え、かつフイールド番号 $F_1$ から $F_9$ で透過率の差が第2閾値を越えることが予測されるためデータ補正を行なっている。このようにデータ補正を行ない、印加電圧をフイールド番号 $F_1$ で印加することにより液晶の応答時間が改善され、画像の歪みや生じにくくなり、画像品質が向上する。このように、複数フイールドにわたる透過率の変化を考慮して電圧データを補正するのは、第20図のようにフイールド番号 $F_1$ のデータ $0_1$ のようなノイズなどにより電圧データに異常な電圧データが含まれ、前記異常電圧データをもとに透過率の変化に追従することを防止するためである。つまり、電圧データの補正が行なわれなければ液晶の応答時間は遅いためにローパスフィルタの効果があるため点線のようになり、異常電圧などを除去できる。また補正は複数フイールドにわたる液晶の透過率を考慮して行なうため、データ補正量を負荷に行なうことにより過補正がかわることなく、良好な画質が得られる。

なお、第4の本発明の第1の実施例の液晶の駆動方法と第2の実施例の液晶の駆動方法を組みあわせることにより、一層最適な液晶パネルの駆動方法を行なえることは言うまでもない。

また、本発明例においては1フイールド内だけのデータを補正するとして、これに限定するものではなく、たとえば液晶の特性および必要画像表示状態を考慮して複数のフイールドにわたるデータを補正してもよい。

また、本発明の液晶制御回路においては2つのフイールドメモリを使用するとして、これに限定するものではなく、たとえば3つ以上のフイールドメモリを用いても同様の処理を行なえる。また、バイポーラ型処理を行なうことにより1つのフイールドメモリによる構成も可能である。また、本発明例においては同一画面への電圧データを処理してデータを補正するとして、これに限定するものではなく、たとえば映像の場合、任意の画面に印加する電圧データと次のフイールドでの前記の画面の近隣の画面に印加する電圧データとを処理しても同様の処理が行なえることは言うまでもない。また、本発明の液晶制御回路において、電圧データをD/A変換してソースドライバICに入力するとして、ソースドライバICがデジタルデータ入力方式の場合は、D/A変換することなく、そのままソースドライバICに電圧データを転送すればよい。

なお、第2図、第10図においてはフイールドメモリを複数個用いているが、本発明はこれに限定するものではない、たとえば、バイポーラ型処理技術を用いることにより1個あるいは2個のフイールドメモリで同等の機能

(11)

22

を有する液晶制御回路を構成できることは明らかである。

また、第1、第2、第3および第4の本発明の液晶パネルの駆動方法を最適に組み合わせることにより、より最適な液晶パネルの駆動方法を実現できることは言うまでもなく、また、第1、第2および第3の本発明の液晶制御回路を最適に組み合わせることで、より最適な液晶制御回路を実現できることは言うまでもない。

以上の説明で明らかのように、本発明の液晶パネルの駆動方法および液晶制御回路を用いることにより、液晶の立ち上がり、つまり目標透過率に到達するために応答時間を短縮することができる。したがって、画像の歪みや生じにくくなり、良好な映像が得られる。このことは液晶パネルの画面が大型化、高解像度になるにつれて著しい効果としてあらわれる。

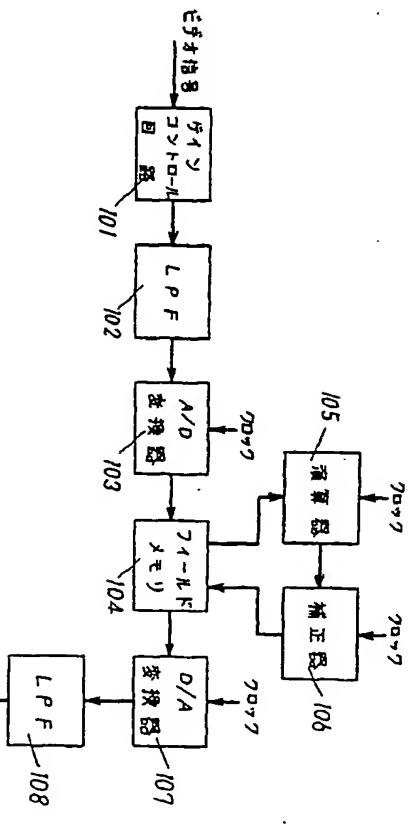
【図面の簡単な説明】

第1図、第2図は第1の本発明の液晶制御回路のブロック図、第3図はデータテーブル図、第4図、第6図は第1の本発明の液晶パネルの駆動方法の説明図、第5図は液晶の印加電圧と応答時間の特性図、第7図(a)、(b)、(c)、第9図は第1の本発明の液晶パネルの駆動方法の第2の実施例における説明図、第8図(a)、(b)は第2の本発明の液晶パネルの駆動方法の説明図、第10図は第2の本発明の液晶制御回路のブロック図、第11図は第3の本発明の液晶パネルの駆動方法の説明図、第12図、第13図、第14図は第3の本発明の液晶パネルの駆動方法の第2の実施例における説明図、第15図、第16図は第3の本発明の液晶制御回路のブロック図、第17図、第18図、第19図、第20図は第4の本発明の液晶パネルの駆動方法の説明図、第21図はアクティブマトリクス型液晶パネルの構成図、第22図は従来の液晶制御回路のブロック図、第23図、第24図は従来の液晶パネルの駆動方法の説明図である。

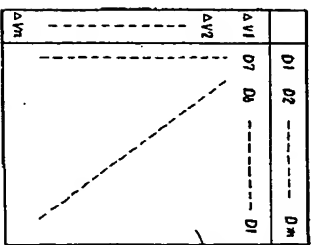
101, 1001, 1501.....ゲインコントロール回路、102, 108, 1002, 1012, 1502, 1506.....ローパスフィルタ、103, 1003, 1503.....A/D変換器、104, 205, 206, 207, 1004, 1006, 1006, 1507.....フイールドメモリ、105, 208, 1008.....演算器、106, 209, 1009.....補正器、107, 1011, 1505.....D/A変換器、109, 1013, 1507.....位相分割回路、110, 1014, 1508.....出力切り換え回路、111, 1015, 1509.....ドライバ制御回路、112, 1016, 1510.....ソースドライバIC、113, 1017, 1511.....ゲートドライバIC、114, 1018, 1512.....液晶パネル、201, 202, 203, 204.....フイールドメモリ切り換え回路、210, 301, 1010.....データテーブル、1504.....データ処理ブロック、1601.....フイールドメモリブロック、1602.....データ入力手段、1603.....データ処理手段、1604.....データテーブル、1605.....データ出力手段。

(12)

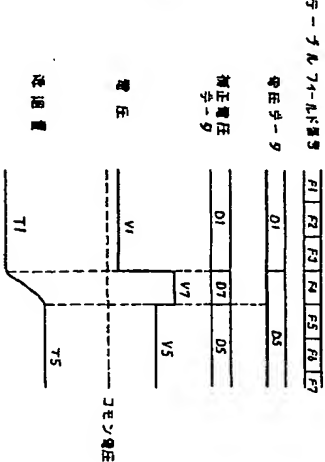
【第1図】



【第3図】



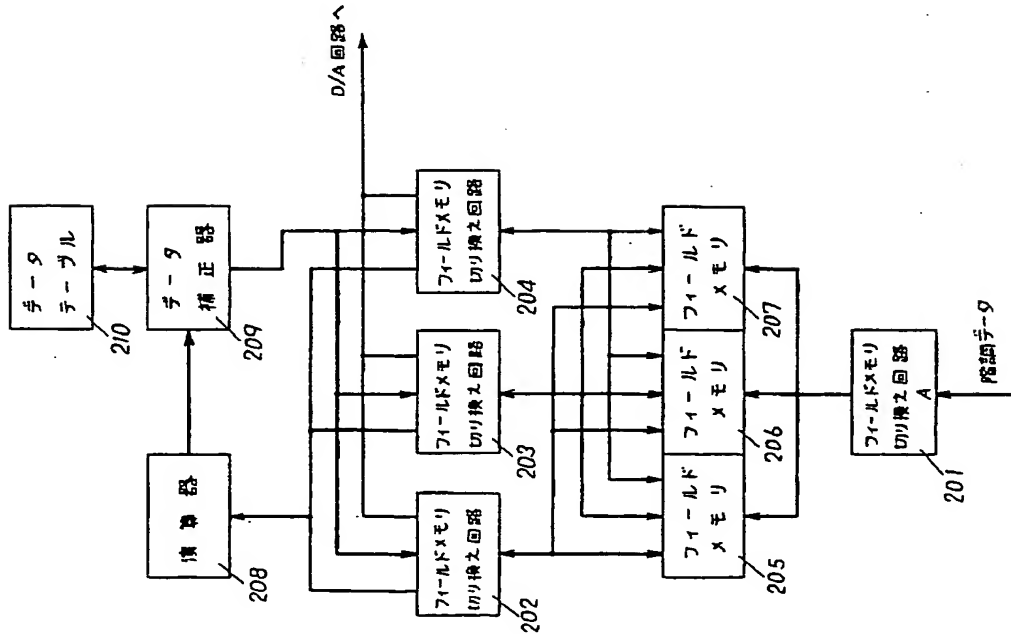
【第4図】





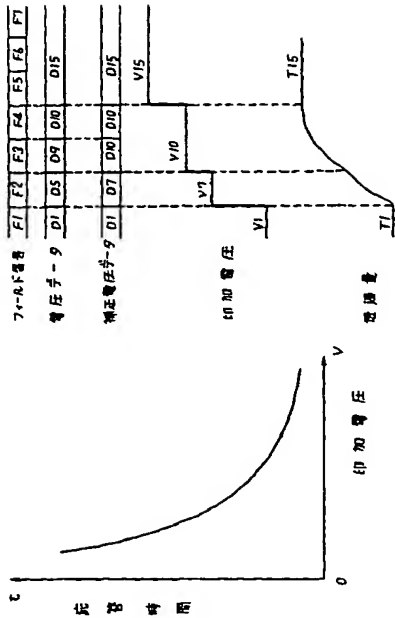
(13)

【第2図】

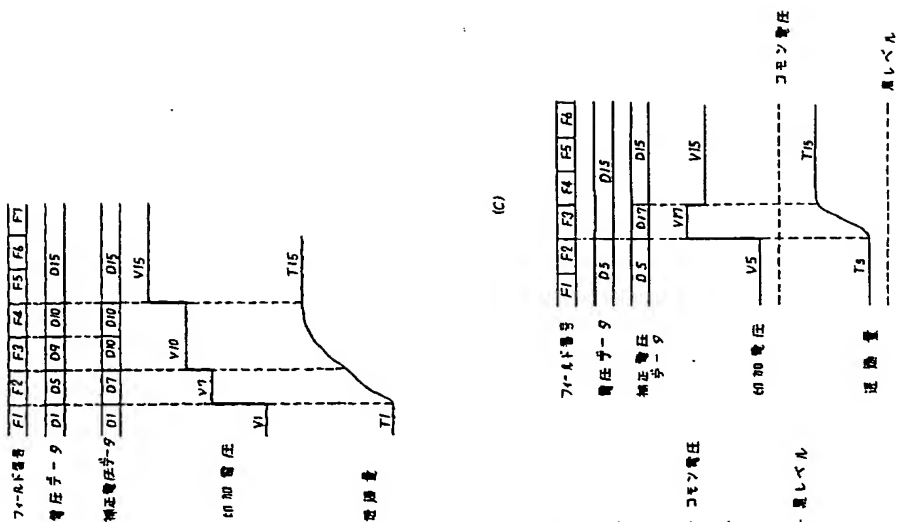


(14)

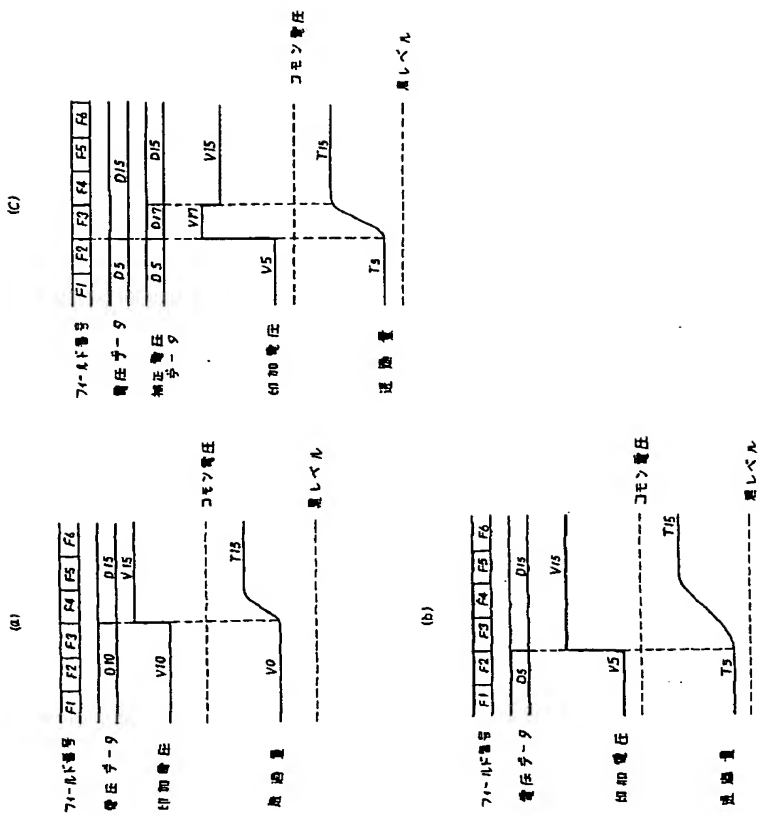
【第5図】



【第6図】



【第7図】



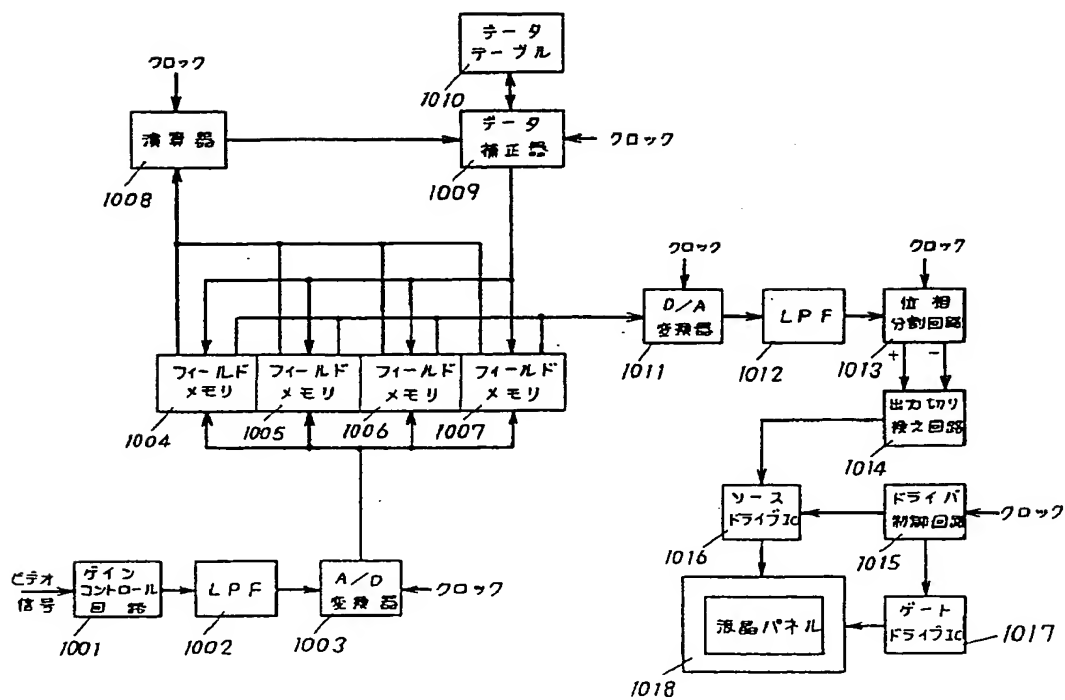
【第9図】



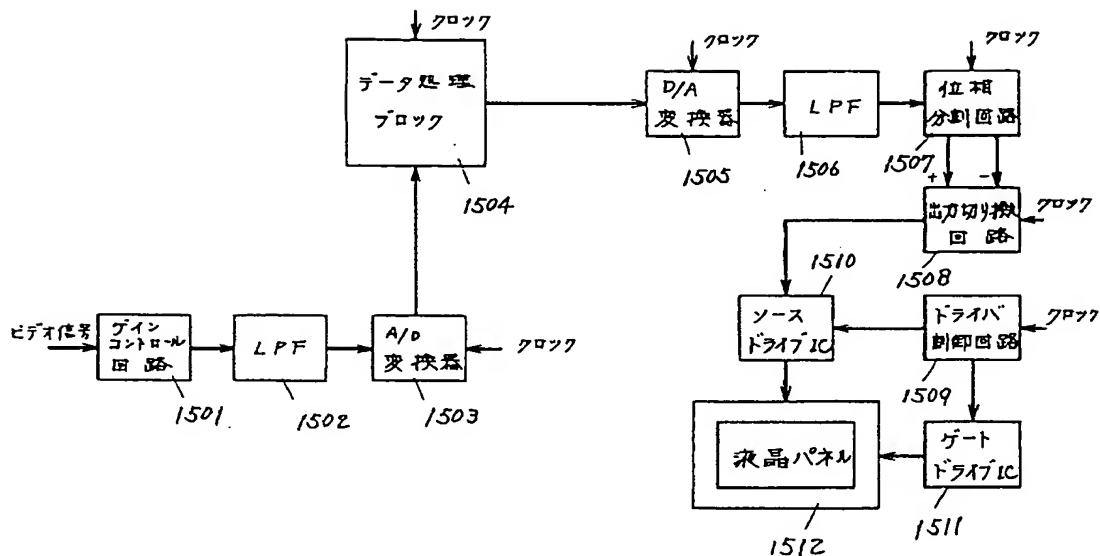
【第12図】



【第10図】

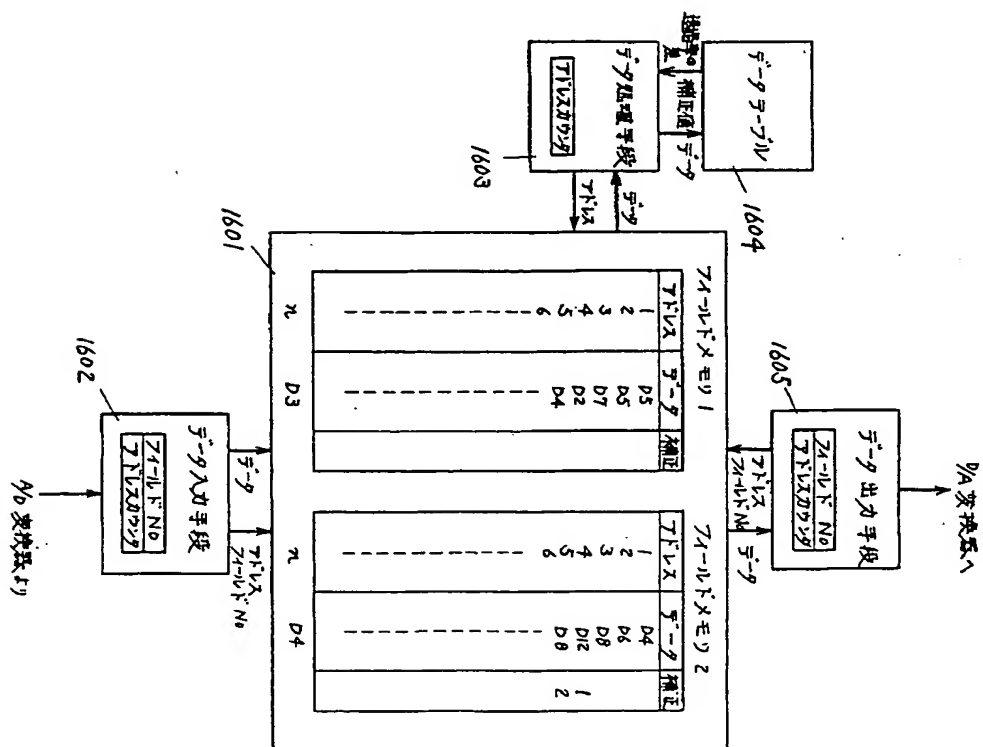






【第15図】

(19)

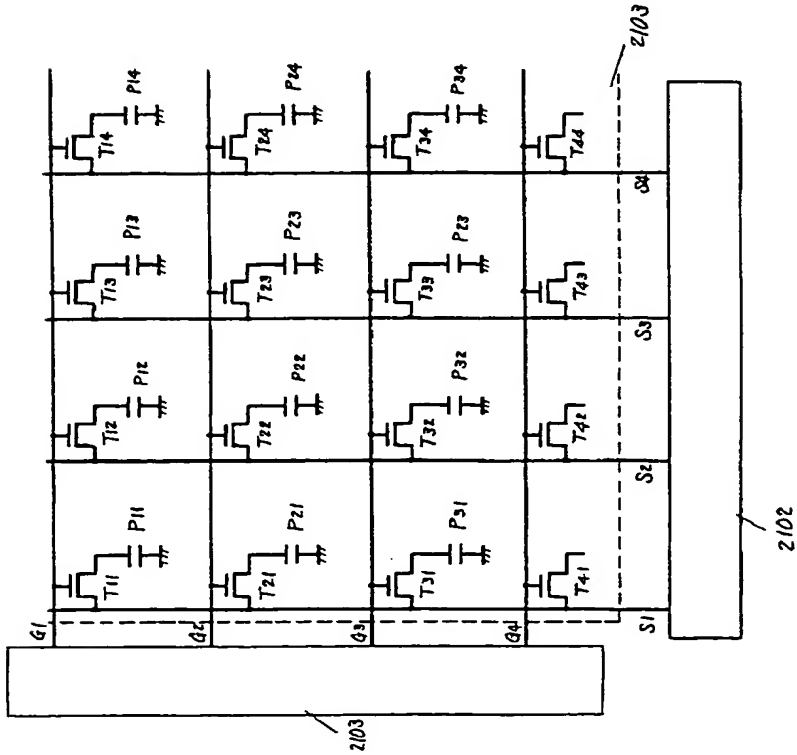


【第16図】

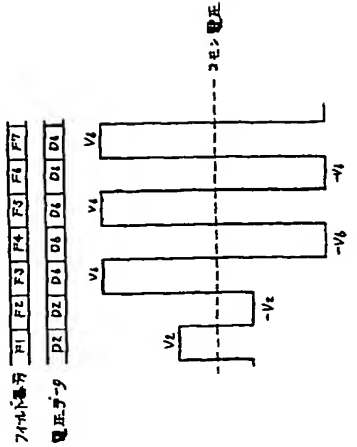
(20)

(21)

【第 2 1 図】

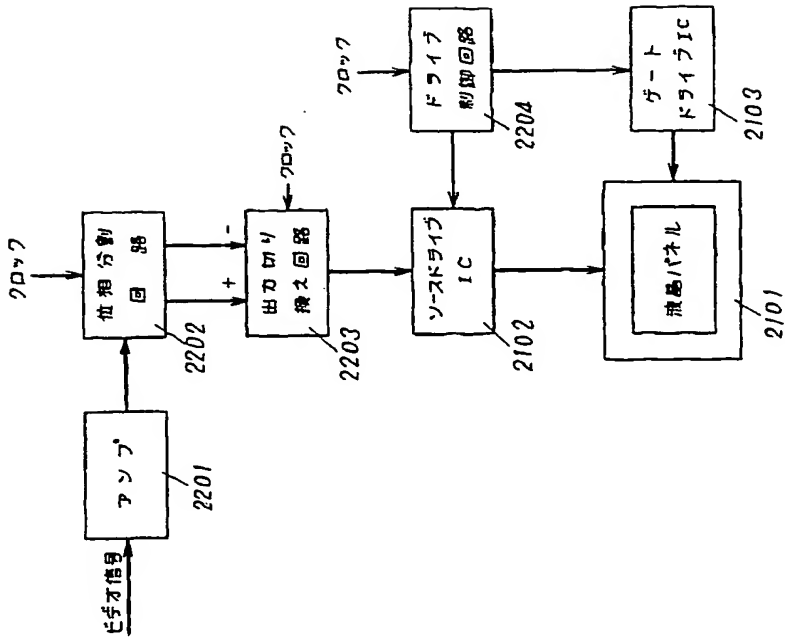


【第 2 4 図】



(22)

【第 2 2 図】



フロントページの続き

- (56) 参考文献  
特開 昭64-10299 (J P, A)  
特開 昭57-133487 (J P, A)  
特開 昭59-171929 (J P, A)

